

Abstract

To meet the MPEG requirements for high data throughput essential for the recent multimedia applications, new data memory organizations are required. In this thesis, a scalable memory organization is proposed to accelerate access to randomly rectangular blocks of visual data to be processed as fast as possible. In the proposed design, the video frame pixels stored in traditionally linearly addressable memory as a scan-line manner are loaded into a two-dimensional accessible memory, which is organized from a $x \times b$ memory modules in order to access the entire pixels of the block simultaneously, in parallel. So it is more efficient for multiple blocks access to use the proposed 2D data storage than using the traditionally linearly addressable memory. A memory module assignment function and an address assignment function are proposed to access any aligned or non-aligned block from the memory modules, to be then reordered by data routing in a scan-line alignment. The proposed design is implemented and mapped onto an FPGA as a case study. Synthesis results indicate that a scalable, cost-effective design is implemented, which saves hardware resources. Better performance is achieved, as at reasonably small hardware costs, for multiple blocks access case, considerable speedups of up to 4.5x were achieved for the hardware implementation of the proposed memory organization versus that of the traditional linearly addressable memory.

المستخلص

مطلوب حديثاً تصميماً جديدة لذاكرة الحاسب لتلبية متطلبات ال MPEG لتعجيل الحصول علي البيانات اللازمة لتطبيقات الوسائط المتعددة الحديثة. في هذا البحث، يقترح تنظيم لذاكرة الحاسب قابلة لتعجيل الوصول إلى مجموعة من البيانات المرئية عشوائياً. في التصميم المقترح، يتم نقل البيانات المرئية المخزنة في الذاكرة التقليدية لتحميلها في ذاكرة ثنائية الأبعاد، التي تتكون من وحدات الذاكرة وعددها axb من أجل الوصول أنياً إلى مجموعة من البيانات المرئية (بكسل) بالتوازي. لذلك فإن استخدام الذاكرة ثنائية الأبعاد تعتبر أكثر كفاءة من استخدام الذاكرة التقليدية في حالة الوصول إلى مجموعة متعددة من البيانات المرئية. وقد تم تنفيذ التصميم المقترح على ال FPGA. والنتائج تشير إلى أن التصميم المقترح فعال من حيث التكلفة، و توفير موارد أجهزة ال FPGA. ومع تحقيق الأداء المتميز، فإن سرعة كبيرة تصل إلى 4.5 مرة قد تحققت لتنفيذ التصميم المقترح على الأجهزة (H/W) مقابل تنفيذ الذاكرة التقليدية.